

07/964362

K.D.
11/20/92
#2

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Sang Young Kim et al. Examiner: Unknown
Serial # : Unknown Group Art Unit: Unknown
Filed : Same date herewith Docket: 9983.3US01
Title : METHOD FOR FILLING CONTACT HOLES WITH METAL BY
TWO-STEP DEPOSITION

COMMUNICATION FORWARDING COPY OF PRIORITY DOCUMENT

Hon. Commissioner of Patents and Trademarks
BOX PATENT APPLICATION
Washington, D.C. 20231

Dear Sir:

In accordance with the requirements of 35 U.S.C. § 119, Applicant encloses herewith a certified copy of Applicant's priority document as identified on the Declaration filed in connection with the above-identified patent application, the enclosed priority document being Korean Patent Application No. 91-18500, filed October 21, 1991.

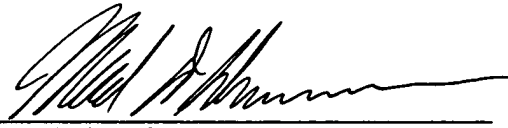
Applicant assumes the application is now in proper order and in a condition for examination. Please direct any inquiries to the undersigned attorney at (612) 336-4638.

Respectfully submitted,

MERCHANT, GOULD, SMITH, EDELL,
WELTER & SCHMIDT, P.A.
3100 Norwest Center
90 South Seventh Street
Minneapolis, Minnesota 55402
(612) 332-5300

ATTORNEYS FOR APPLICANT(S)

By


Michael D. Schumann
Reg. No. 30,422

"Express Mail" mailing number RB631456540

Date of Deposit October 21, 1992

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to the Commissioner of Patents and Trademarks, Washington, D.C. 20231.

Brian W. Stevens
Printed name


Signature



대한민국 특허청

THE KOREA INDUSTRIAL
PROPERTY OFFICE

별지 첨부된 등본은 아래 출원서의 원본과 상위
없음을 증명함.

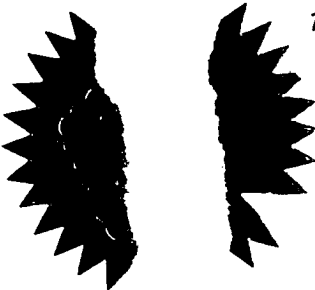
This is to certify that the annexed is a true copy from the original
records of the following application as filed with this office.

출원번호: 1991 년
Application Number

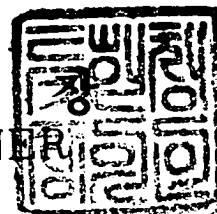
출원년월일: 1991 년 10 월 21 일
Date of Application

출원인: 현대전자산업 주식회사
Applicant(s)

1992 년 10 월 8 일



특허청
COMMISSIONER



I P C 분류기호	주 분 류			출원번호 : 18500	
	접수인란	방식심사란	심 사 관		
<div style="display: flex; justify-content: space-around;"> <div> <p>91.10.22</p> <p>원장</p> </div> <div> <p>91.10.22</p> <p>회소</p> </div> </div>					
특 허 출 원 서					
출원인	1 성 명	현대전자산업주식회사 대표이사 : 정 몸 현			3 국적 대한민국
	4 주 소	경기도 이천군 부발읍 아미리 산 136-1			
대리인	6 성 명	이 병 호	7 대리인코드	77→H040	8 전화번호 735-5621
	6 성 명	정 상 구	7 대리인코드	553→K181	8 전화번호 735-5621
	9 주 소	서울특별시 종로구 수송동 80			
발 명 자	10 성 명	김 상 영(610302-1024111)			12국적 대한민국
	13 주 소	서울시 성북구 안암동 2가 139-26			
	10 성 명	송 용 욱(600309-1051613)			12국적 대한민국
	13 주 소	서울시 성동구 광장동 현대APT 306동 504호			
	10 성 명	김 현 도(621229-1025612)			12국적 대한민국
	13 주 소	서울시 성동구 구의동 21-34			
15 발명의 명칭		선택적 텅스텐 박막의 2단계 퇴적에 의한 콘택메립방법			
특허법(제54조, 제55조)의 규정에 의한 우선권주장		16출원국명	17출원종류	18출원일자	19출원번호 20 증명서류
<p>특허법 제 42조의 규정에 의하여 위와같이 출원합니다.</p> <p style="text-align: right;">1991 년 10 월 21 일</p> <p style="text-align: right;">대리인 변리사 이 병 호</p> <p style="text-align: right;">변리사 정 상 구</p> <p style="text-align: center; font-size: 1.2em;">특 허 청 장 귀 하</p>					

1 구 비 서 류 :

1. 특허출원서(정본 1통, 부분 2통).
 2. 수수료 계산서(정본 1통, 부분 2통).
 3. 명 세 서(정본 1통, 부분 2통).
 - 5 4. 도 면(정본 1통, 부분 2통).
 5. 요 약 서(정본 1통, 부분 2통).
 6. 위임장 1통.
- 10
- 15

명 세 서

1. 발명의 명칭

선택적 텅스텐 박막의 2단계 퇴적에 의한 콘택 매립방법

2. 도면의 간단한 설명

제 1A도 및 1B도는 종래의 방법으로 콘택홀을 형성하고,
선택적 텅스텐(Tungsten) 박막으로 콘택홀을 예정된 두께로 채웠을때
콘택홀들의 단차 차이로 인해 깊은 곳을 채우지 못함을 나타내는
단면도.

제 2A도 내지 제 2D도는 본발명의 공정방법에 의하여 2단계로
콘택홀을 형성하고 2단계로 선택적 텅스텐 박막을 퇴적시킨 상태를
도시한 단면도.

* 도면의 주요부분에 대한 부호설명 *

- | | |
|------------------------|------------------|
| 1: 실리콘 기판 | 2: N+ 또는 P+ 접합층 |
| 3: 필드산화막 | 4: 게이트(Gate) 산화막 |
| 5: 게이트전극 | 6: 제1층간절연 산화막 |
| 7: 폴리실리콘(Poly Silicon) | 8: 제2층간절연산화막 |

9 및 10: 선택적 텅스텐박막

20: 콘택홀

30: 제1콘택홀

40: 제2콘택홀

3. 발명의 상세한 설명

본발명은 고집적 반도체 소자 제조공정중 콘택홀에 금속을 매립하는 방법에 관한 것으로, 특히 콘택홀에 선택적 텅스텐 박막을 2단계 퇴적하여 콘택홀의 단차를 극복함으로써 금속층의 스텝커버리지(Step Coverage)를 향상시키는 선택적 텅스텐 박막의 2단계 퇴적에 의한 콘택매립 방법에 관한 것이다.

반도체 소자의 콘택(Contact) 크기가 미세화됨에 따라 콘택홀(contact hole)의 선택비(Aspect ratio)가 커지게 됨으로써 금속의 스텝커버리지(step coverage)가 나빠지게 되어 소자의 신뢰성에 문제가 되고 있다.

이러한 문제점을 해결하기 위하여 콘택홀 내부를 텅스텐을 사용하여 채우는 선택적 텅스텐(Tungsten) 박막의 화학기상 증착법은 금속층의 스텝커버리지를 크게 개선시킬 수 있는 방법으로 많은 장점을 가지고 있다.

그러나, 이러한 선택적 텅스텐 박막의 화학기상 증착법도

1 콘택홈들의 단차의 차이로 인하여 단차가 가장 큰 콘택홈을 기준하여
선택적 텅스텐 박막을 채우게 되면 그보다 단차가 작은 콘택홈에서는
텅스텐 박막이 과잉성장되어 이로 인한 금속배선간의 단락을 일으킬
우려가 있다. 따라서 단차가 가장 작은 작은 콘택홈을 기준으로하여
5 선택적 텅스텐 박막을 채울수 밖에 없음으로 큰 단차를 갖는 콘택홈의
선택비를 크게 개선시킬 수 없으며 반도체 소자가 고집적화, 초미세화
될수록 이러한 현상은 더욱더 증가할 것으로 예상된다.

따라서, 본발명은 기존의 선택적 텅스텐 박막을 2단계로
퇴적함으로써 텅스텐으로 콘택매립(Contact filling)을 극대화하여
10 금속선의 스텝커버리지를 향상시켜 금속선의 안정성을 확보하여
소자에 대한 신뢰성을 향상시킨 선택적 텅스텐 박막의 2단계 퇴적에
의한 콘택매립 방법을 제공하는데 그 목적이 있다.

본발명에 의하면 콘택홈의 단차의 차이로 인해 금속층의
스텝커버리지가 나빠지는 것을 방지하기 위하여,

15 실리콘 기판 상부에 필드산화막, 접합층, 및
게이트전극을 각각 형성하고, 전체구조 상부에 제 1 층간 절연층을
형성한다음, 제 1 층간 절연층의 예정된 부분을 제거하여 하부의
접합층 및 게이트 전극이 노출된 제 1 콘택홈을 형성하는 단계와,

1 제 1 콘택홀에 금속층을 완전히 매립한다음, 이 금속층과
이격된 제 1 층간 절연층 상부에 도전층 패턴을 형성하는 단계와,

전체 구조 상부에 제 2 층간절연층을 형성한후, 제 2
층간 절연층의 예정된 부분을 제거하여 하부의 제 1 콘택홀의
5 금속층과 도전층 패턴이 노출된 제 2 콘택홀을 형성하는 단계와,

제 2 콘택홀에 금속층을 매립하여 하부의 금속층과
도전층 패턴에 접속하는 단계로 이루어지는 것을 특징으로 한다.

이하, 본발명을 도면을 참고하여 상세히 설명하기로 한다.

제 1A도는 실리콘 기판(1)에 소자간의 격리를 위한
필드(field) 산화막(3)을 적층하고 N+ 또는 P+ 접합층(2)을
10 형성한다음, 게이트(gate) 산화막(4)을 성장한후, 게이트 전극(5)용
폴리실리콘을 형성하고, 제1층간 절연산화막(6)을 전체적으로
적층하고 배선용 폴리실리콘(7)을 예정된 영역에 형성한후,
전체적으로 제2층간절연 산화막(8)을 적층한후 예정된 영역에
15 콘택홀을 형성하기 위해 감광막을 사용한 패턴공정으로 상기 층간
절연산화막(6 및 8)의 예정된 부분 제거하여 콘택홀을 형성한 상태의
단면도이다.

제 1B도는 제 1A도와 같이 단자가 차이나는 콘택홀(20)에

1 종래의 방법으로 선택적 텅스텐 박막(9)을 깊이가 가장
낮은 콘택홀을 기준으로 하여 콘택홀(20)에 채웠을때 단차 차이로 인해
콘택홀(20)이 깊은 곳은 선택적 텅스텐 박막(9)이 많이 채워지지 않은
상태를 도시한 단면도이다.

5 제 2A도 내지 제 2D도는 본발명에 의해 2단계로 콘택홀을
형성하고 2단계로 선택적 텅스텐을 퇴적시키는 단계를 도시한
단면도이다.

10 제 2A도는 실리콘 기판(1)에 필드산화막(3) 및 게이트
산화막(4)을 성장시킨다음, N+ 또는 P+접합층(2)을 형성하고, 게이트
전극(5)을 게이트 산화막(4) 상부에 형성한후, 전체적으로 제 1층간
절연산화막(6)을 적층하는 단계까지는 공지의 기술로 형성한다. 그후
공정으로, 감광막을 사용하여 콘택패턴 마스크를 형성하고 노출되는
제 1 층간 절연산화막(6)을 습식/건식 식각으로 식각하여 게이트
전극(5) 및 N+ 또는 P+접합층(2)이 노출된 제 1 콘택홀(30)을 형성한
15 상태의 단면도이다.

제 2B도는 제 2A도에서 형성한 제 1 콘택홀(30)에
화학기상증착법으로 선택적 텅스텐 박막(9)을 매립한 상태의
단면도이다. 이때 제 1 콘택홀(30)에 채워진 선택적 텅스텐

1 박막(9) 상부에 또 콘택을 할때 부정합(misalign)의 방지를 위해
선택적 텅스텐 박막(9)을 적절하게 과잉 성장시킨다.

제 2C도는 배선용 폴리실리콘(7)을 상기 제 1 층간절연
산화막(6) 상부의 예정된 영역에 형성하고, 전체적으로 제 2
5 층간절연산화막(8)을 적층한후, 콘택패턴 마스크를 사용하여 상기 제
1 콘택홀(30)과 배선용 폴리실리콘(7) 상부의 제 2 층간절연
산화막(8)을 식각을 하여 제 2 콘택홀(40)을 형성한 단면도이다.

제 2D도는 제 2C도에서 형성한 제 2 콘택홀(40)에 선택적
텅스텐 박막(10)을 화학기상 증착법으로 예정된 두께를 매립한 것을
10 나타낸 단면도로서, 상기 제 2 콘택홀(40)에 선택적 텅스텐
박막(10)이 거의 채워져 있는 상태를 도시한 단면도이다.

상기한 바와같이 본발명은 단차가 심한 콘택홀에 금속층을
매립하는 방법으로 제 1 층간 절연막을 형성한후 제 1 콘택홀을
형성하여 선택적 텅스텐 박막을 채우고, 그상부에 제 2 층간절연막을
15 형성하고, 제 1 콘택홀 상부 및 예정된 영역에 제 2 콘택홀을
형성한다음, 선택적 텅스텐 박막을 제 2 콘택홀에 거의 채울수
있도록 함으로서 콘택홀에서 금속선의 스텝커버리지를 개선할 수
있다.

4. 특허청구의 범위

1. 실리콘 기판 상부에 필드산화막, N+ 또는 P+ 접합층 및 게이트 전극을 각각 형성하고, 전체구조 상부에 제 1 층간절연층을 형성하고,

제 1 층간 절연층의 예정된 영역에 도전층 패턴을 형성한다음, 전체구조 상부에 제 2 층간 절연층을 형성하고,

상기의 제 2 층간 절연층, 제 1 층간 절연층의 예정된 부분을 제거하여 접합층, 게이트 전극 및 도전층 패턴등이 노출된 콘택홀을 형성하고 금속층을 콘택홀에 매립하는 방법에 있어서,

콘택홀의 단차의 차이로 인해 금속층의 스텝커버리지가 나빠지는 것을 방지하기 위하여,

실리콘 기판 상부에 필드산화막, 접합층, 및 게이트전극을 각각 형성하고, 전체구조 상부에 제 1 층간 절연층을 형성한다음, 제 1 층간 절연층의 예정된 부분을 제거하여 하부의 접합층 및 게이트 전극이 노출된 제 1 콘택홀을 형성하는 단계와,

제 1 콘택홀에 금속층을 완전히 매립한다음, 이 금속층과 이격된 제 1 층간 절연층 상부에 도전층 패턴을 형성하는 단계와,

전체 구조 상부에 제 2 층간절연층을 형성한후, 제 2
층간 절연층의 예정된 부분을 제거하여 하부의 제 1 콘택홀의
금속층과 도전층 패턴이 노출된 제 2 콘택홀을 형성하는 단계와,
제 2 콘택홀에 금속층을 매립하여 하부의 금속층과
도전층 패턴에 접속하는 단계로 이루어지는 것을 특징으로 하는
선택적 텅스텐 박막의 2단계 퇴적에 의한 콘택 매립방법.

2. 제 1항에 있어서,

상기 제 1 콘택홀 및 제 2 콘택홀에 매립하는 금속층은
선택적 텅스텐 박막을 화학기상 증착법으로 형성하는 것을 특징으로
하는 선택적 텅스텐 박막의 2단계 퇴적에 의한 콘택 매립방법.

출원인 : 현대전자산업주식회사

대리인 : 변리사 이 병 호

변리사 정 상 구

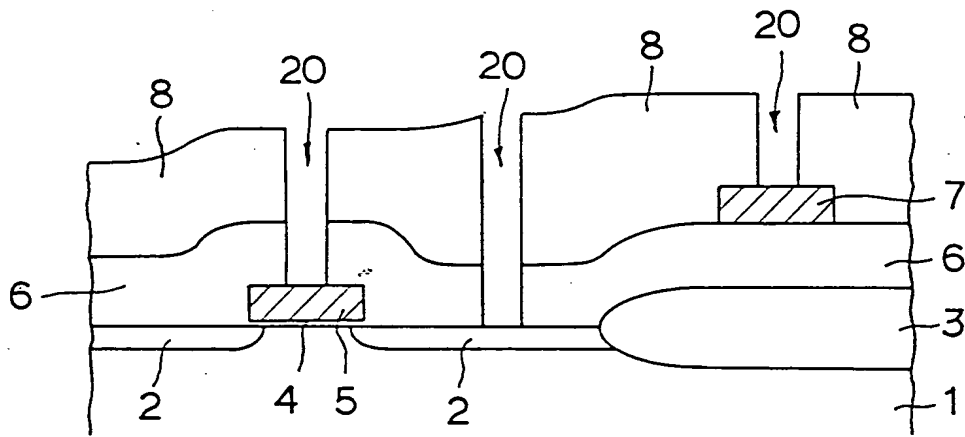
요 약 서

본발명은 고집적 반도체 소자 제조공정중 콘택홀에 금속을
매립하는 방법에 관한것으로, 단차가 차이나는 콘택홀에서 금속층의
스텝커버리지를 향상시키기 위하여 선택적 텅스텐 박막을 2단계로
퇴적하는 콘택매립방법에 관한 기술이다.

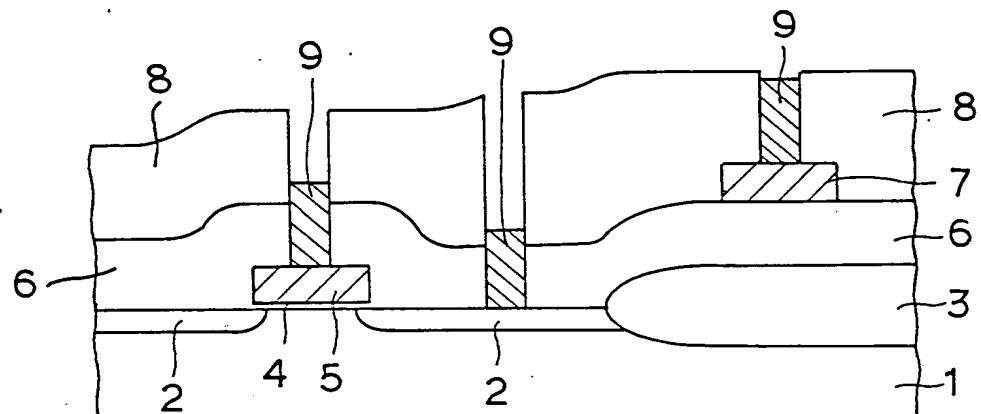
대리인 : 변리사 이 병

변리사 정 상 구

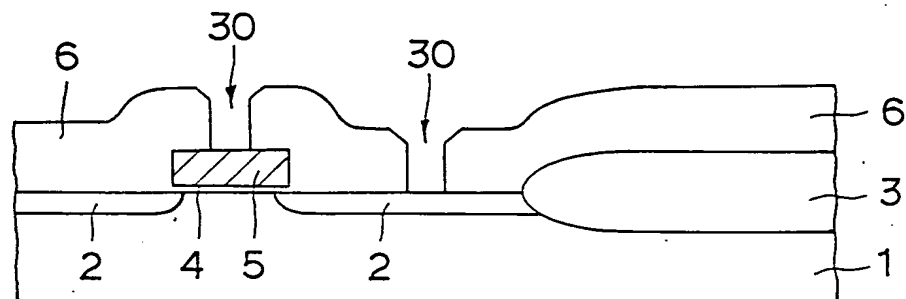
제 1A 도



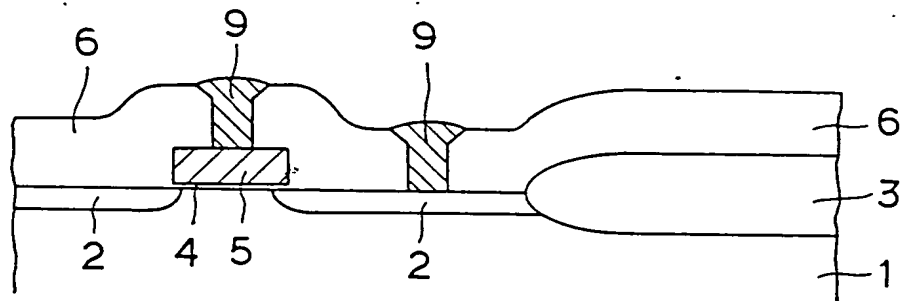
제 1B 도



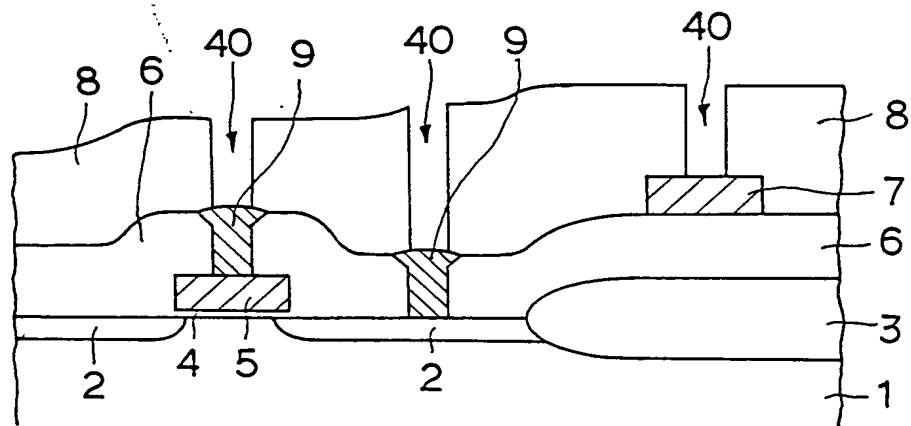
제 2A 도



제 2B 도



제 2C 도



제 2D 도

